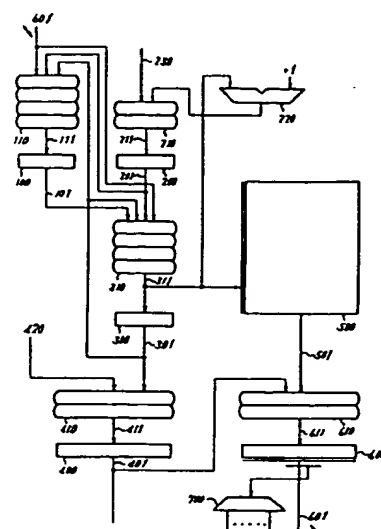


**(54) MICROPROGRAM CONTROLLER**

(11) 56-7144 (A) (43) 24.1.1981 (19) JP  
 (21) Appl. No. 54-81911 (22) 28.6.1979  
 (71) NIPPON DENKI K.K. (72) KIYOSHI HORI  
 (51) Int. Cl.<sup>3</sup> G06F9/22

**PURPOSE:** To realize the reduction of the microprogram steps residing in the control memory unit, by executing the contents of the access enable work register by the microprogram and in the form of the next microorder.

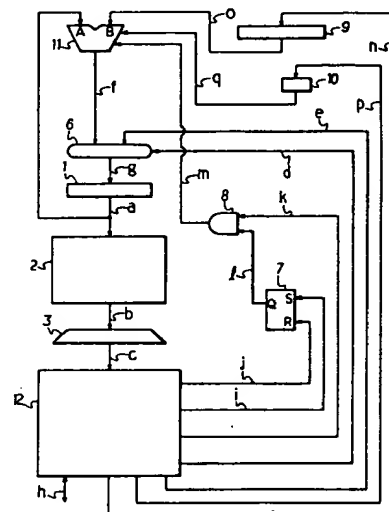
**CONSTITUTION:** When the interruption request is given to microprogram MP control part from the maintenance or diagnosis device, the MP takes the data given from data bus 420 into work register 400 via work register selector 410. Before use of the contents of register 400 as the microorder, the MP executes the contents of registers 400 to microorder address shunt register 100 and in the form of the microorder, and then sets the control memory address to be read and executed to the order sequence field with designation for the shunt. In that case, the display of return is always secured at the area corresponding to the order sequence field of the data which was read in from the diagnosis device or the like. This is for the fact that the microorder is read and executed automatically from control memory device 500 which is designated by the address shown by register 100 after the data read-in is executed as the microorder.

**(54) MICROPROGRAM CONTROLLER**

(11) 56-7145 (A) (43) 24.1.1981 (19) JP  
 (21) Appl. No. 54-83343 (22) 29.6.1979  
 (71) NIPPON DENKI K.K. (72) TOSHIYUKI MIGITA  
 (51) Int. Cl.<sup>3</sup> G06F9/26

**PURPOSE:** To improve greatly the waste of the physical step number, by storing the arithmetic result of the contents of both the microorder address register MAR and the auxiliary address register into the MAR in case the branch condition is not satisfied for the branch microorder.

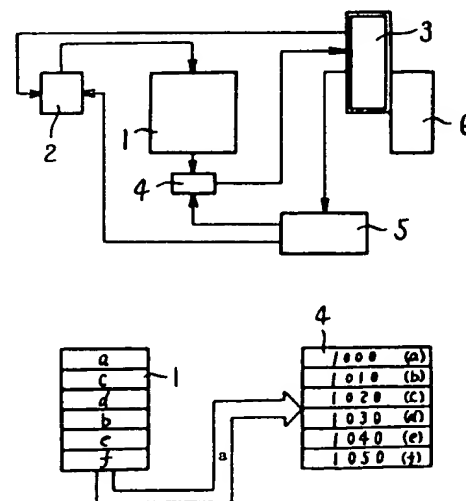
**CONSTITUTION:** When FF7 is "on" along with conditional branch designation signal K of "1" and branch satisfaction signal d of "0" each, mode switch signal m turns to "1". Thus output f of arithmetic circuit 11 is obtained as the result of the operation (such as addition) which is carried out between contents A (for example, value N) of microorder address register MAR1 and contents B (for example, value t) of auxiliary address register 9 each. And this arithmetic result is stored into MAR1. In other words, if the value of register 10 is 0 ("A+B" designation), the branch is realized finally to the address "N+t". In other words, the branch is possible in the optional two directions along with branch destination address e and depending on value t which is set previously to register 9 (under the conditions that signal d is "1" although FF7 is "off" or "on").

**(54) PROCESS TIME REDUCING METHOD FOR MICROCOMPUTER**

(11) 56-7146 (A) (43) 24.1.1981 (19) JP  
 (21) Appl. No. 54-81825 (22) 28.6.1979  
 (71) MEIDENSHA K.K. (72) MINORU KAKIZAKI(2)  
 (51) Int. Cl.<sup>3</sup> G06F9/32

**PURPOSE:** To increase the process speed by decreasing the number of orders required for the branch of the microcomputer through the address operation in which the task memory address is produced directly by the memory storing the task number.

**CONSTITUTION:** Task numbers a, c, d, b, e and f are stored in memory 1 in the order of schedule of microcomputer 3. And 1000, 1010, 1020, 1030, 1040 and 1050 within fixed memory 4 which stores the jumping address of the task show the jumping address of task corresponding to task numbers a~f each which are the address inputs. In addition, the circuit consists of the following units: step counter 2 which designates the address of memory 1; memory read signal generating circuit 5 which produces the read signal to read the jumping address of the task stored in memory 4 as well as the signal to give advance to counter 2 via the read completion; and task memory 6 which operates computer 3 actually.



a: address data

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—7146

⑪ Int. Cl.<sup>3</sup>  
G 06 F 9/32

識別記号

庁内整理番号  
6745—5B

⑬ 公開 昭和56年(1981)1月24日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ マイクロコンピュータの処理時間短縮方法

東京都品川区大崎2丁目1番17  
号株式会社明電舎内

⑯ 特 願 昭54—81825

⑰ 発 明 者 小野要

⑱ 出 願 昭54(1979)6月28日

東京都品川区大崎2丁目1番17  
号株式会社明電舎内

⑲ 発 明 者 柿崎実

⑳ 出 願 人 株式会社明電舎

東京都品川区大崎2丁目1番17  
号株式会社明電舎内

東京都品川区大崎2丁目1番17  
号

㉑ 発 明 者 村上正喜

明 細 書

1. 発明の名称

マイクロコンピュータの処理時間短縮方法

2. 特許請求の範囲

タスクメモリに記憶した複数のタスクを組合せて任意の処理を行なうマイクロコンピュータシステムにおいて、処理すべきタスク順序に従い、そのタスク番号を格納したメモリと、前記メモリの出力であるタスク番号をアドレス信号としてタスク飛先番地を格納した固定メモリとを設け、個々のタスク処理完了後に、タスク番号格納メモリの出力であるタスク番号を固定メモリのアドレスへ与え、前記マイクロコンピュータのスケジュールに従い固定メモリの出力であるタスク飛先番地を脱出し、マイクロコンピュータの制御をその飛先番地に移行させてタスク処理を実行することを特徴とするコンピュータの処理時間短縮方法。

3. 発明の詳細な説明

本発明は、マイクロコンピュータに係り、特にハ

2

ードウェアのサポートによりプログラムの分岐における判断処理時間を短縮したマイクロコンピュータの処理時間短縮方法に関する。

従来、コンピュータにより或る処理を実行する場合、初期のシステムや、小さいシステムでは、プログラムは第1図・イの様に最初から最後まで、連続に書かれることが多かった。併しこの方式では、新しいシステムを設計する度に、全プログラムを記述しなければならない。この対策として、第1図・ロの様に、前記第1図・イのプログラムを小区分に分割し、これらを選別器で選択・組合わせて、所要の一つの処理プログラムを構成し、これを実行させる方式がとられてきたが、この場合問題となるのは、区分の仕方、区分の数及び1区分のプログラムの長さである。更に、区分(タスク)化されたプログラムを組合わせて一連の処理をさせようとする場合、その区分、区分における連結が問題となる。マイクロコンピュータでは、それをプログラムカウンタの操作を行なうことで実現している。即ち、第2図の様にa, b, c, d順に

3

タスクメモリに格納されたタスクをa, c, d, b順に処理したい場合には、マイクロコンピュータのプログラムカウンタを0番地に飛ばし、その処理を実行した後05番地へ、以下同様に09, 01番地へと変更して行く。併し従来方式では、例えば、タスクがa通りあれば、マイクロコンピュータにより次に実行すべき処理がそのa通りの中のどれであるかを、タスクに附されたタスク番号を一つ一つチェックし判断して目的のアドレスを求め、その後で目的のメモリ番地へ移行して処理を実行しなければならない。例えば、32通りのタスク番号区分には5b11を必要とし、この5b11について1b11宛りか1か判断せねばならない。従つて、タスクを多くすれば、プログラムは簡単になる反面、タスクとタスクの境界で、次に実行すべきタスクのアドレスを検索するのに長い時間が掛る。

本発明は、この様な点に鑑みタスク番号を格納したメモリより直接タスクメモリ番地を作成するアドレス操作により、マイクロコンピュータにおけ

る分岐の際の必要な命令を削減し、処理速度の向上をはかるマイクロコンピュータの処理時間短縮方法を提供することを目的とする。

第3図は、本発明の一実施例の構成図である。第3図において、1はタスク番号を格納するメモリ、2はメモリ1のアドレスを指定するステップカウンタ、3はマイクロコンピュータ、4はタスクの飛先番地を格納する固定メモリ、5は固定メモリ4に格納されたタスクの飛先番地を読み出すためのリード信号を作ると共に、リード完了を以てステップカウンタ2を歩進させる信号を作るメモリ・リード信号発生回路、6はマイクロコンピュータを突進に動かすタスクメモリである。また、第4図は上記メモリ1と固定メモリ4の関係を示す接続図であり、メモリ1内のa, c, d, b, e, fは夫夫タスク番号を異にし処理順に格納されており、他方固定メモリ4内の1000, 1010, 1020, 1030, 1040, 1050は、そのアドレス入力であるタスク番号a, b, c, d, e, fに対応するタスク飛先番地を示す。

5

当初、第3図のメモリ1には、タスク番号がマイクロコンピュータ3のスケジュール順に従い格納されているものとする。先ず、マイクロコンピュータ3よりステップカウンタ2を0にセットし、その後ステップカウンタ2の出力をメモリ1のアドレスへ送り、そのアドレスに対応して、メモリ1に格納されているタスク番号を読み出し、第4図の様に固定メモリ4のアドレスに与える。次に、マイクロコンピュータ3のデータ転送命令の一つ、例えば8080系のLHLD・アドレス命令に基づく信号を、メモリ・リード信号回路5に送ると、該回路はタスク飛先番地メモリ・リード信号を作成し固定メモリ4へ送る。固定メモリ4は、メモリ1のタスク番号出力により先期指定されたアドレスに対応する飛先番地を読み出し、マイクロコンピュータ3へ送る。然る後メモリ・リード信号作成回路5は、ステップカウンタ2へ信号を送り、ステップカウンタ2の内容を一つ増加させる。一方マイクロコンピュータは送られてきたタスク飛先番地をレジスタ例えば8080系のLレジスタ

6

に保持し、次のジャンプ命令例えば、8080系のPCHL命令により、HレジスタおよびLレジスタの内容即ちタスク飛先番地をプログラムカウンタ(PC)に移し、タスクメモリ6の中の特定タスクのアドレスを指定し、処理を行なう。その処理が完了すると、再びLHLD・アドレス命令により新しいタスク飛先番地を求め、その処理を行なう。この様にして同様の処理をくり返し進める。上記の様に、このアドレス変更操作は、マイクロコンピュータの二命令により遂行することができるので、処理時間が非常に短縮されることとなる。

以上の様に、本発明によるマイクロコンピュータの処理時間短縮方法は、マイクロコンピュータの二命令にて、メモリに格納されたタスク番号をアドレス信号として、固定メモリに格納されたタスク飛先番地を順次読み出して、タスクメモリのアドレスを指定し、タスク処理を実行することが可能であり、従つて処理の高速化が大きくはかかれると共にメモリに低速度素子を使用することを可能

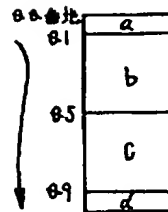
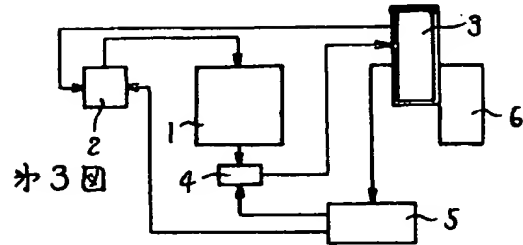
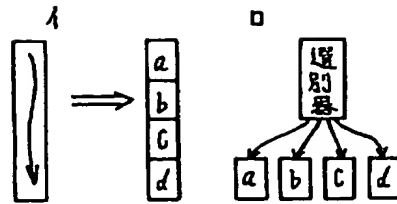
にし、価格低減にも寄与するすぐれた特徴を有する。

#### 4. 図面の簡単な説明

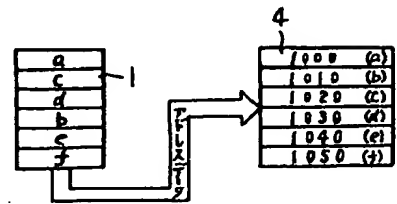
第1図は説明のためのプログラム構成図、第2図はタスクメモリの構成図、第3図は本発明の一実施例を示す構成図、第4図は第3図内のメモリ相互間の関係を示す接続図である。

1はタスク番号を格納するメモリ、2はステップカウンタ、3はマイクロコンピュータ、4はタスク優先番地を格納する固定メモリ、5はメモリ・リード信号作成回路、6はタスクメモリ。

第1図



第2図



第4図

特許出願人 合 雄  
株式会社 明 電 正  
代表者 今 井 正 雄